

03500.016066.



PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

#5
Mamoru Uchida
K91
4/1/02

In re Application of:) Group Art Unit: 2816
:)
MAMORU UCHIDA)
:)
Application No.: 10/025,928)
:)
Filed: December 26, 2001)
:)
For: SEMICONDUCTOR DEVICE,)
:)
OPTOELECTRONIC BOARD,)
:)
AND PRODUCTION METHODS)
:)
THEREFOR : April 1, 2002

Commissioner for Patents
Washington, D.C. 20231

SUBMISSION OF PRIORITY DOCUMENTS

Sir:

In support of Applicant's claim for priority under 35 U.S.C. § 119, enclosed
are certified copies of the following foreign applications:

Japan 2000-400966, filed December 28, 2000; and

Japan 2001-379831, filed December 13, 2001.

Applicant's undersigned attorney may be reached in our Costa Mesa,
California office by telephone at (714) 540-8700. All correspondence should continue to be
directed to our address given below.

Respectfully submitted,



Attorney for Applicant

Registration No. 50,957

FITZPATRICK, CELLA, HARPER & SCINTO
30 Rockefeller Plaza
New York, New York 10112-3801
Facsimile: (212) 218-2200

CA_MAIN 40072 v 1



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年12月28日

出 願 番 号

Application Number:

特願2000-400966

[ST.10/C]:

[JP2000-400966]

出 願 人

Applicant(s):

キヤノン株式会社

2002年 1月25日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造

出証番号 出証特2002-3001011

【書類名】 特許願

【整理番号】 4384012

【提出日】 平成12年12月28日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 G02B 6/10
G02B 6/12

【発明の名称】 光電融合配線基板、光電融合集積回路、及びそれらの製造方法

【請求項の数】 29

【発明者】
【住所又は居所】 東京都大田区下丸子3丁目30番2号キヤノン株式会社
内

【氏名】 内田 護

【特許出願人】
【識別番号】 000001007
【住所又は居所】 東京都大田区下丸子3丁目30番2号
【氏名又は名称】 キヤノン株式会社
【代表者】 御手洗 富士夫
【電話番号】 03-3758-2111

【代理人】
【識別番号】 100090538
【住所又は居所】 東京都大田区下丸子3丁目30番2号キヤノン株式会社
内

【弁理士】
【氏名又は名称】 西山 恵三
【電話番号】 03-3758-2111

【選任した代理人】
【識別番号】 100096965
【住所又は居所】 東京都大田区下丸子3丁目30番2号キヤノン株式会

社内

【弁理士】

【氏名又は名称】 内尾 裕一

【電話番号】 03-3758-2111

【手数料の表示】

【予納台帳番号】 011224

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9908388

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 光電融合配線基板、光電融合集積回路、及びそれらの製造方法

【特許請求の範囲】

【請求項 1】 光伝送層と電気配線層が積層されており、且つ該光伝送層は 2次元型光導波路であることを特徴とする光電融合配線基板。

【請求項 2】 前記電気配線層上に設けられた電子デバイスと前記光伝送層との O/E変換、あるいは E/O変換の少なくとも一方が球状デバイスを用いて行われることを特徴とする光電融合配線基板。

【請求項 3】 電子デバイスおよび光デバイスが配置された基板であって、少なくとも 2層から構成され、該基板の第 1層には、前記電子デバイス及び光デバイスが配置され、かつこれらを結合する電気配線が配置され、該基板の第 2層には 2次元型光導波路が形成され、前記光デバイスは該光導波路に光を送出する機能と該光導波路から導波している光を受光する機能とを少なくとも有することを特徴とする光電融合配線基板。

【請求項 4】 前記光導波路が、シート状に形成されていることを特徴とする請求項 3記載の光電融合基板。

【請求項 5】 前記光デバイスのうち受光器が球状構造をなし、前記基板の前記光導波路に埋め込まれるように該基板表面から実装され、該基板の表面では前記電気配線と結合していることを特徴とする請求項 3記載の光電融合配線基板。

【請求項 6】 前記球状構造デバイスが受光器以外にこれを駆動あるいは得られた電気信号を増幅する電気回路が形成されていることを特徴とする請求項 3記載の光電融合配線基板。

【請求項 7】 前記光デバイスのうち光源が、球状形状をなし、前記基板の前記光導波路に埋め込まれるように該基板に表面から実装され、該基板の表面では前記電気配線と結合していることを特徴とする請求項 3記載の光電融合配線基板。

【請求項 8】 前記球状構造デバイスが光源以外にこれを駆動あるいは得られた電気信号を増幅する電気回路が形成されていることを特徴とする請求項 3記

載の光電融合配線基板。

【請求項 9】 前記球状構造デバイスが、光源および受光器かつ、それらを駆動する電子回路等を同時に集積したことを特徴とする請求項3記載の光電融合配線基板。

【請求項 10】 前記電子回路基板がパラレル信号ラインを有し、その出力端子が前記球状送信デバイスに結合され、該球状デバイスでパラレルシリアル変換することで、シリアル光信号として前記光シートに送出することを特徴とする請求項3記載の光電融合配線基板。

【請求項 11】 前記シリアル光信号を前記光シートに埋め込まれた前記球状受光器で受光し、電気信号に変換されたあと、該球状半導体に同時に形成された電子回路によりシリアルパラレル変換されて前記パラレル信号ラインに伝送されることを特徴とする請求項3記載の光電融合配線基板。

【請求項 12】 前記光電融合基板が可撓性のある基板材料で構成されていることを特徴とする請求項1記載の光電融合配線基板。

【請求項 13】 球状半導体基板表面に電子デバイスと光デバイスが集積された光電融合集積回路であって、該光デバイスが、半径方向に p n 接合を含む多層膜を含み構成される受光素子であり、該電子デバイスが、該受光素子に逆バイアスをかけるバイアス回路および受光して電気信号に変換された信号を増幅する増幅器を少なくとも有することを特徴とする光電融合集積回路。

【請求項 14】 2次元型光導波路である光伝送層上に電気配線層が積層されている光電融合配線基板であって、該光伝送層を伝搬してくる光信号を請求項13記載の受光素子が受光できるように配置された光電融合配線基板。

【請求項 15】 前記球状半導体基板が Si 単結晶で構成されていることを特徴とする請求項13及び14記載の光電融合集積回路。

【請求項 16】 前記球状半導体基板が GaAs 単結晶で構成されていることを特徴とする請求項13及び14記載の光電融合集積回路。

【請求項 17】 前記受光素子を構成する多層膜が、p-Si、i-Si、n-Siで構成されることを特徴とする請求項13及び14記載の光電融合集積回路。

【請求項 18】 前記受光素子を構成する多層膜が、p-GaAs、GaAsNおよびn

-GaAsで構成されることを特徴とする請求項13及び14記載の光電融合集積回路。

【請求項19】 前記受光素子を構成する多層膜を作製する方法が、イオン注入によるものであることを特徴とする請求項13～18記載の光電融合集積回路の製造方法。

【請求項20】 球状半導体基板表面に電子デバイスと光デバイスが集積された光電融合集積回路であって、該光デバイスが、半径方向にpn接合を含む多層膜を含み構成される発光素子であり、該電子デバイスが、該発光素子に順バイアスをかけるバイアス回路を有することを特徴とする光電融合集積回路。

【請求項21】 2次元型光導波路である光伝送層上に電気配線層が積層されている光電融合配線基板であって、該光伝送層を伝搬してくる光信号を請求項13記載の受光素子が受光できるように配置された光電融合配線基板。

【請求項22】 球状半導体基板表面に電子デバイスと光デバイスが集積された光電融合集積回路であって、該光デバイスが、前記球状半導体表面の一部を平坦化して複数の微小平面を出したあと、該微小平面上に半径方向にpn接合を含む多層膜を積層してなることを特徴とし、該電子デバイスが、これに逆バイアスあるいは順バイアスをかけるバイアス回路を少なくとも有することを特徴とし、逆バイアスをかける場合には受光素子、順バイアスをかけるときには発光素子として動作することを特徴とする光電融合集積回路。

【請求項23】 前記球状半導体基板がSi単結晶で構成されていることを特徴とする請求項22記載の光電融合集積回路。

【請求項24】 前記球状半導体基板がGaAs単結晶で構成されていることを特徴とする請求項22記載の光電融合集積回路。

【請求項25】 前記球状半導体基板がInP単結晶で構成されていることを特徴とする請求項22記載の光電融合集積回路。

【請求項26】 前記球状半導体基板がGaN単結晶で構成されていることを特徴とする請求項22記載の光電融合集積回路。

【請求項27】 前記pn接合を含む多層膜が、p-(Al, Ga)(As, P, N)、i-(Al, Ga)(As, P, N)、n-(Al, Ga)(As, P, N)で構成されることを特徴とする

請求項 2 2 記載の光電融合集積回路。

【請求項 2 8】 前記球状半導体表面の一部を平坦化して複数の微小平面を出したあと、該微小平面上に半径方向に p n 接合を含む多層膜を積層する工程において、前記球状半導体表面の微小平面以外の領域を、誘電体膜等で被覆し、有機金属エピタキシャル成長法あるいはガスソース分子線蒸着法で微小平面のみに選択的に前記 p n 接合を含む多層膜を積層することを特徴とする請求項 2 2 に記載の光電誘導集積回路の製造方法。

【請求項 2 9】 前記球状の半導体表面の一部を平坦化してなる微小平面が、結晶工学的に等価あるいは化学的に近い結晶面からなることを特徴とする請求項 2 2 に記載の光電融合集積回路の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は電気配線層、及び光伝送層を有する光電融合配線基板に関する。また、電子デバイスと光デバイスが混在して配置された回路基板に関する。更にまた、本発明は、球状デバイスに関する。

【0 0 0 2】

【従来の技術】

携帯電話や個人情報端末（PDA）は、速い処理速度、及び小型・軽量であることが同時に求められる。

【0 0 0 3】

しかしながら、処理速度が上がるにつれ、電子回路基板内における配線遅延の影響が大きくなることが指摘されている。これを防ぐには、チップ内およびチップ間の配線を極力短くすることが最も単純な方法である。このことは、基板の小型化にもつながるため、これまで多くの発明がなされてきた。

【0 0 0 4】

一方で、処理速度があがるにつれ、別の問題点が顕在化してきた。それは EMI（電磁放射干渉ノイズ）である。

電子部品同士が近接して配置されることから、配線は短くなるが、配線密度は高

くなる。この結果、近接した信号線に高速の信号が流れた場合、相互の電磁誘導により電磁波が干渉し合っテノイズを発生し、信号が正しく伝送できなくなるのである。

【 0 0 0 5 】

特にモバイル端末では、低電圧化が進む影響で、従来より大電流で駆動されるケースが増えており、EMIの影響が大きくなってきている。

【 0 0 0 6 】

これを防ぐ方法として、たとえば、セラミック基板を多層にすることで、層ごとのEMC（電磁放射ノイズ耐性）を高める方策が通常とられているが、コストや歩留まりの点で問題があるとともに、本質的にEMIフリーとすることはできない。

【 0 0 0 7 】

さらに、既存の配線パターンを前提に、新たに電子デバイスを追加しようとする場合、当該電子デバイスにより既存の回路群が影響する場合もある。すなわち、回路上の特定のデバイスにより生じるEMIの影響を回避したい場合がある。

【 0 0 0 8 】

EMIフリーとする為に、本質的に電磁無誘導の利点を有する光配線を用いる方法が提案されている。

【 0 0 0 9 】

例えば、特開平9-96746号公報は、光配線部と電気配線部を分離し、電子機器からの信号電圧によって光スイッチや光変調器で、電気信号を光信号に変換して伝送し、光配線部の異なる場所にある受光素子により再び電気信号に変換し、他のまたは同一の機器との間の電氣的な接続を行うものである。

【 0 0 1 0 】

この方法は、電気配線のデメリットを光配線で補うというものであるが、光配線を伝送線路（あるいはファイバ）で行っているために、光配線をする場所をあらかじめ決めておく必要がある。即ち、電気配線層の任意の場所を起点として光配線を行うことは不可能である。また、予め伝送線路としての光導波路を形成する必要があるため、製造プロセスも複雑なものにならざるを得なかった。

【 0 0 1 1 】

特開平11-196069号公報は、2次元的に広がる光シートバスの対向する両端にそれぞれ信号光入出力部を配置し、一方の端からの光信号を当該光シートバスに2次元的に伝播させ、他端の受光素子によって電気信号に変換するものである。従来、電気配線では、避けることのできなかつた遅延防止や伝送速度の向上を図るものである。

【 0 0 1 2 】

光シートと呼ばれる2次元の光導波路（厚さ方向にのみ導波構造をもつ）を用いて、その両端に、送信デバイス（たとえば、1次元半導体レーザアレイ）や受信デバイス（たとえば、1次元フォトダイオードアレイ）が配置されている。その動作を簡単に説明すると、電気回路のロジック信号から前記半導体レーザを直接駆動して電気信号を光信号に変え、発光した光は、前記光シートの内部を伝播し、厚さ方向には導波されるが、それと直角な平面方向には自由に伝播する。この結果、必要とされる光パワーは先の従来例よりも大きくなり、電気回路に負担がかかるものの、光シートと光デバイスの実装の許容度は先の従来例よりもはるかに簡単になり、かつ、電気配線では避けることのできなかつた配線遅延やEMIによる伝送速度の限界を打破できる点が特徴である。

【 0 0 1 3 】

【発明が解決しようとする課題】

しかしながら、この方法にはいくつかの改良すべき点がある。即ち、(1)光導波路のサイズが電気配線に比べ太く大きくなり、小型化に不適である。(2)単なる電気配線の置き換えであり、光配線と電気配線を任意に選べない。(3)電子デバイスと光デバイスを共存させて実装することが難しいなどの点である。

【 0 0 1 4 】

また、2次元の光導波路へ光を出射あるいは入射する方法に関しては以下の方法が提案されている。

(1) ミラーやプリズムを配置することに関しては、特開平8-220357号公報130や、SPIE Optoelectronic Interconnects and Packaging, CR62(1996), 32

9などに記載がある。(2)グレーティングやホログラムを配置することも考えられている。

【0015】

これらは導波路中に、ミラー、プリズムあるいはグレーティングを配置して、光を反射、屈折あるいは回折させることで光路を変更して、基板表面に形成された通常のpinPDで受光し、それに結合されたプリアンプによって、電気信号を所望の電圧場で増幅した後、近傍の電子デバイスの取り込むものである。

これらには以下の改良すべき点がある。即ち、1)光軸あわせが困難、2)部品点数が多い、3)光導波路に微細加工が必要、4)光導波路を微細加工するため、任意の位置にデバイスを配置することが困難なこと、5)任意の方向へ光信号を送信したり、任意の方向からの光信号を受信することはきわめて困難なこと、6)受光した後に増幅回路や波形整形回路が別途必要となり、消費電力が高いこと、などである。

【0016】

〔発明の目的〕

本発明の目的は、高速かつ小型でEMIフリーの光電融合配線基板を提供することにある。更に、部品レイアウトの柔軟性に優れた実装方法を提供することをも目的とする。

【0017】

〔課題を解決するための手段〕

本発明に係る光電融合配線基板は、光伝送層と電気配線層が積層されており、且つ該光伝送層は2次元型光導波路であることを特徴とする。

【0018】

また、前記電気配線層上に設けられた電子デバイスと前記光伝送層とのO/E変換、あるいはE/O変換の少なくとも一方が球状デバイスを用いて行うこともできる。当該球状デバイスは、半径方向にpn接合を含む多層膜を含み構成される受光素子あるいは発光素子である場合をも本発明は包含する。

【0019】

本発明に係る光電融合配線基板は、電子デバイスおよび光デバイスが配置され

た基板であって、少なくとも2層から構成され、該基板の第1層には、前記電子デバイス及び光デバイスが配置され、かつこれらを結合する電気配線が配置され、該基板の第2層には2次元型光導波路が形成され、前記光デバイスは該光導波路に光を送出する機能と該光導波路から導波している光を受光する機能とを少なくとも有することを特徴とする。

【 0 0 2 0 】

前記光導波路を、シート状に形成することもできる。

【 0 0 2 1 】

前記光デバイスのうち受光器が球状構造をなし、前記基板の前記光導波路に埋め込まれるように該基板表面から実装され、該基板の表面では前記電気配線と結合させることもできる。

【 0 0 2 2 】

前記球状構造デバイスに受光器以外にこれを駆動あるいは得られた電気信号を増幅する電気回路を形成することもできる。

【 0 0 2 3 】

前記光デバイスのうち光源が、球状形状をなし、前記基板の前記光導波路に埋め込まれるように該基板に表面から実装し、該基板の表面では前記電気配線と結合させることもできる。

【 0 0 2 4 】

前記球状構造デバイスに光源以外にこれを駆動あるいは得られた電気信号を増幅する電気回路を形成することもできる。

【 0 0 2 5 】

前記球状構造デバイスに、光源および受光器かつ、それらを駆動する電子回路等を同時に集積することもできる。

【 0 0 2 6 】

前記電子回路基板がパラレル信号ラインを有し、その出力端子を前記球状送信デバイスに結合し、該球状デバイスでパラレルシリアル変換することで、シリアル光信号として前記光シートに送出することもできる。

【 0 0 2 7 】

前記シリアル光信号を前記光シートに埋め込まれた前記球状受光器で受光し、電気信号に変換されたあと、該球状半導体に同時に形成された電子回路によりシリアルパラレル変換されて前記パラレル信号ラインに伝送することもできる。

【 0 0 2 8 】

前記光電融合基板が可撓性のある基板材料（フレキシブルシート）で構成することもできる。

【 0 0 2 9 】

本発明に係る光電融合集積回路は、球状半導体基板表面に電子デバイスと光デバイスが集積された光電融合集積回路であって、該光デバイスが、半径方向に p n 接合を含む多層膜を含み構成される受光素子であり、該電子デバイスが、該受光素子に逆バイアスをかけるバイアス回路および受光して電気信号に変換された信号を増幅する増幅器を少なくとも有することを特徴とする。

【 0 0 3 0 】

また、本発明に係る光電融合配線基板は、2次元型光導波路である光伝送層上に電気配線層が積層されている光電融合配線基板であって、該光伝送層を伝搬してくる光信号を、上記 p n 接合を含む多層膜を含み構成される受光素子が受光できるように配置されていることを特徴とする。

【 0 0 3 1 】

前記球状半導体基板を Si 単結晶で構成することもできる。

【 0 0 3 2 】

前記球状半導体基板を GaAs 単結晶で構成することもできる。

【 0 0 3 3 】

前記受光素子を構成する多層膜を、p-Si、i-Si、n-Si で構成することもできる。

【 0 0 3 4 】

前記受光素子を構成する多層膜を、p-GaAs、GaAsN および n-GaAs で構成することもできる。

【 0 0 3 5 】

前記受光素子を構成する多層膜をイオン注入により作製することができる。

【 0 0 3 6 】

また、本発明に係る光電融合集積回路は、球状半導体基板表面に電子デバイスと光デバイスが集積された光電融合集積回路であって、該光デバイスが、半径方向に p n 接合を含む多層膜を含み構成される発光素子であり、該電子デバイスが、該発光素子に順バイアス进行かけるバイアス回路を有することを特徴とする。

【 0 0 3 7 】

また、本発明に係る光電融合配線基板は、2次元型光導波路である光伝送層上に電気配線層が積層されている光電融合配線基板であって、該光伝送層を伝搬してくる光信号を前記受光素子が受光できるように配置されていることを特徴とする。

【 0 0 3 8 】

本発明に係る光電融合集積回路は、球状半導体基板表面に電子デバイスと光デバイスが集積された光電融合集積回路であって、該光デバイスが、前記球状半導体表面の一部を平坦化して複数の微小平面を出したあと、該微小平面上に半径方向に p n 接合を含む多層膜を積層してなることを特徴とし、該電子デバイスが、これに逆バイアスあるいは順バイアス进行かけるバイアス回路を少なくとも有することを特徴とし、逆バイアス进行かける場合には受光素子、順バイアス进行かけるときには発光素子として動作することを特徴とする。

【 0 0 3 9 】

前記球状半導体基板を Si 単結晶で構成することもできる。

【 0 0 4 0 】

前記球状半導体基板を GaAs 単結晶で構成することもできる。

【 0 0 4 1 】

前記球状半導体基板を InP 単結晶で構成することもできる。

【 0 0 4 2 】

前記球状半導体基板を GaN 単結晶で構成することもできる。

【 0 0 4 3 】

前記 p n 接合を含む多層膜を、p- (Al, Ga) (As, P, N)、i- (Al, Ga) (As, P, N)、n- (Al, Ga) (As, P, N) で構成することもできる。

【 0 0 4 4 】

前記球状半導体表面の一部を平坦化して複数の微小平面を出したあと、該微小平面上に半径方向に p n 接合を含む多層膜を積層する工程において、前記球状半導体表面の微小平面以外の領域を、誘電体膜等で被覆し、有機金属エピタキシャル成長法あるいはガスソース分子線蒸着法で微小平面のみに選択的に前記 p n 接合を含む多層膜を積層することもできる。

【 0 0 4 5 】

(作用)

メタル配線が近接して配置されているときに高速データ通信 (例えば 1Gbps) を行くと、その近傍の電磁放射ノイズの強さは、「発生源の強さ (周波数、波形、駆動電流)」×「伝達係数 (電源ラインとの共振、近接するラインとの結合)」×「アンテナ要因 (コネクタ、電極)」で表わされる。

【 0 0 4 6 】

つまり、配線長が長いほど、あるいは電流値が大きいほど、あるいは信号のスピードが速いほど、若しくは信号パルスが矩形波に近いほどノイズレベルが高くなる。

【 0 0 4 7 】

従って、高速処理が必要となる CPU 等の近傍でメタル配線を用いる場合は EMI を根本的に除去することはできない。

【 0 0 4 8 】

一方、配線に光を用いることで、これらを改善することが可能である。光配線では電磁誘導がないため伝達係数がゼロになるからである。

【 0 0 4 9 】

とりわけ本発明のように、電気配線層と光伝送層を 2 層に分離して配置し、且つ該光伝送層を 2 次元光導波路 (光シート) とすることにより、特定のデバイスによる EMI の影響を防止し、作製プロセスも容易な光電融合配線基板を提供することができる。

【 0 0 5 0 】

光配線は、1 本当たりの配線の物理的な大きさは、光導波路を用いる限り電気

配線に比べ一桁以上大きい。それ故、すべての電気配線を光配線に変更することは、サイズが大きくなったり、曲げによる損失が大きくなるなどのデメリットの方が大きくなる。

【0051】

更に、光配線を導入することで、従来の電気配線パターンの変更を余儀なくされるデメリットもある。

【0052】

本発明では、電気配線層と光伝送層を2層に分離して配置し、且つ該光伝送層を2次元光導波路（光シート）とすることで、電気配線の設計に影響を与えることなく、電気配線の問題点を解決している。(1)光配線となる光導波路に2次元導波路（シート状光導波路）を適用することで、任意の位置に光デバイスを配置することができる。また、1点からすべての光デバイスに2次元的に光データを送信することができる。高速かつ長い配線ライン中心に用いることも可能である。

【0053】

2次元光導波路に接続できる発光デバイスとしては、2Dの全方位に光を放射でき、また、受光デバイスとしては2Dの全方位からの光を受けることができることが望ましい。当該デバイスとは例えば、球面上に作製された光デバイスである。

【0054】

なお、受光素子の表面を球状とすることで、全ての方位からの光も受光することができる。これは、伝播方向が固定の導波路の光を取り込む際には、実装精度の大幅な緩和効果として現れる。

【0055】

球状の光デバイスにバイアス回路が増幅回路を作り込むことで、この球状デバイス単独で、光I/O素子として動作させることができる。このことは、従来の電子回路の設計に何ら影響を与えることなく、光インタコネクトを実現できる効果がある。

【0056】

更に、球状光デバイスにIII-VN材料を用いることで低電圧で動作させることが

でき、電氣的に他の電子デバイスと同環境で動作させることができるとともに低消費電力で動作することも可能である。

【 0 0 5 7 】

なお、電子デバイスのロジック信号と同等の電圧で駆動でき、実装が容易なことや消費電力も小さい方がよい。

【 0 0 5 8 】

【発明の実施の形態】

本発明の基本的な実施形態について図1を用いて説明する。

図1において、1101は光電融合基板、1102はその内部に形成された2次元光導波路層（以下、「光シート」と称する。）、1103および1106はその表面に形成された電子デバイス（たとえばCPU、RAM、RF発振器等）、1104は表面に形成された電気配線、1105は前記光シート中を伝播する光が形成する光配線である。

【 0 0 5 9 】

例えば、電子デバイス1106から1107への配線を光配線で行う場合、電子デバイス1106からの信号をE/O変換部（図示せず）でE/O変換し、当該光信号を光シート1102に拡散させる。光信号は、光シート内で全方位の放射状に伝搬するが、主としてある特定方向に伝搬するように光シートに機能を持たせることもできる。

【 0 0 6 0 】

光シート内を拡散して伝播して行った光信号は、O/E変換部（図示せず）を経て、電子デバイス1107で受信される。こうして光配線が実現する。

【 0 0 6 1 】

本発明においては、伝送線路状に光導波路を形成していないため、E/O、O/E変換部で効果的に発光、受光する必要があるが、その詳細な構成は以降に述べる実施例において説明する。もちろん、実施例で説明したE/O、O/E変換部の構成に限定されるものではない。

【 0 0 6 2 】

また、伝送線路状に光導波路を形成していない為に、例えば当初の回路パターンでは、電子デバイス1107が存在していないような場合でも、電気配線層の任意の位置（例えば図1）に配置することができる。そして、光配線を利用すること

でEMIの影響を少なくすることができる。

【 0 0 6 3 】

なお、本発明は、球面半導体上に受光素子を形成すること自体、あるいは発光素子を形成すること自体をも含む。

【 0 0 6 4 】

【実施例】

(実施例 1 : 光電気 2 層基板+球状光 I/O デバイス)

図 1 は本発明の第 1 の実施例を説明する模式的斜視図である。

図 1 において 1101 は光電融合基板、1102 はその内部に形成された 2 次元光導波路層 (以下、「光シート」と称する。)、1103、1106 及び 1107 はその表面に形成された電子デバイス (たとえば CPU、RAM、RF 発振器等)、1104 は表面に形成された電気配線、1105 は前記光シート中を伝播する光が形成する光配線である。

【 0 0 6 5 】

以下製造方法について詳細に説明する。

【 0 0 6 6 】

(光シートの作製)

光シートの構造は以下の条件を満たすものなら任意のものでよい。

(1) 光を導波する 2 次元スラブ型光導波路を有すること。

伝播損失は、小さければ小さいほど良いが、伝送距離による。たとえば、0.1dB/cm のものであれば、数 cm 角の基板が使用できる。

(2) 表面に電気配線が作製できること。

これは、従来の電気配線パターンをそのまま生かすためである。

この 2 点を満たすものとして、基板およびクラッド層として PMMA を、光導波路層にはポリイミド等の有機樹脂を使用した。なお、光伝送層は、電気配線層下の全面に設けてあることが望ましい。

【 0 0 6 7 】

図 2 に、図 1 中の A 部における断面図を示す。

1101 a は樹脂基板 (兼クラッド層)、1101 b はクラッド層、1102 は 1101 よりも屈折率の高いコア層である。それぞれの厚さは、基板 0.5mm、コア層 0.1mm、クラッ

ド層0.3mmとしたが、これらのサイズに限るものではない。

【0068】

この3層を一体化したものが、光シートである。基板に可撓性のあるPMMA基板を用い、コア層をクラッド層を塗布して成膜可能なポリイミド樹脂を用いることで、曲げに強いフレキ基板とすることができる。

【0069】

本実施例では球状Si基板上に化合物半導体で形成した光I/Oデバイス（球状光デバイス）を用いている。

【0070】

次に、この球状光デバイスについて簡単に説明する（詳細は、例えば特開平12-31190号公報に詳しい記載がある）。

【0071】

球状光デバイスの模式図を図3に示した。同図において、1301は球状p型Si基板、1302はP型AlGaAsNクラッド層、1303アンドープGaAsN活性層、1304はn型AlGaAsNクラッド層である。ここでGaAsN系の化合物半導体を用いたのは、1)バンドギャップが小さくかつ温度特性に優れていること、2)Siと格子整合しやすいことからである。基板を含め他の材料系を用いても良い。

【0072】

このボールICの極点部には、カソード1304と、ビアホール1306を介して接続されたアノード1305が形成されている。本実施例では、発光素子と受光素子を同構造のものを用いたが異なる構造としても良い。カソード1304は光の入出力を行うため、窓構造やメッシュ構造となっていることが望ましい。

【0073】

発光素子としてボールIC動作させる場合には、カソード1304およびアノード1305間に順バイアスをかけることにより、キャリアがPN接合に注入され、発光する。発光した光は光出射窓から広角に放射される。

【0074】

一方、受光素子として動作させる場合には、カソード1304およびアノード1305間に逆バイアスをかけることにより、光入射窓から広角から入射した光は、PN接

合で吸収され電気信号として近接した電子デバイスに取り込まれる。

【 0 0 7 5 】

発光デバイスの場合も受光デバイスの場合も、その表面は球面形状を有しているため、広い角度で、出射および入射が可能なことが大きな特徴となっている。

【 0 0 7 6 】

なお、本実施例のボールICは、光I/O部だけでなく、他のICも同時作製することが可能である。ICの作製方法については、特開平10-294252号公報「球状デバイス露光装置及び製造方法」等の開示されている。

【 0 0 7 7 】

本実施例では、受光素子用としてCMOS構成の3.3V動作プリアンプを使用した。

【 0 0 7 8 】

次に、この球状光デバイスの実装方法について図4を用いて説明する。

【 0 0 7 9 】

まず、前記光シート基板1102に前記ボールICをはめ込むことの可能な半球状の穴をあける。あける方法は任意でよい。フォトリソグラフィとエッチングを用いて予め決まった場所に形成しても良いし、レーザ等を用いて任意の場所に個別にホールを形成しても良い。本実施例においては、熱溶解プロセスを用いた。

【 0 0 8 0 】

図4(a)のように、メタルのボールを金型1401としてこれを熱して上記樹脂基板1101に押し当て（図4(b)）、半球状のくぼみ1402を作製した（図4(c)）。その深さは、光配線基板のコア層近傍に達するまでとした。

【 0 0 8 1 】

当該工程の後に、光シートの上に図2に示すように、電気配線をプリントしたあと、LSIに代表される電子デバイスを実装する。この実装方法は任意でよいが、ここではフリップチップ実装法を用いた。

【 0 0 8 2 】

次に、光シートのくぼみに光I/O部がくぼみの底になるように実装する。光取り出しおよび光取り込みが可能なようにくぼみの底に光I/O部が接するように位置合わせし固定する（図5参照）。本実施例の場合、球面なので、細かい位置合

わせ精度は必要としない。位置合わせた後、紫外線硬化樹脂等で固定した。

【0083】

最後に、球状光I/Oデバイスと表面実装した電子デバイスとをプリント電気配線でつなぐ。これには、バンプかメッキが望ましい。

【0084】

図6は、バンプ1502で、プリント配線1501と電極1304と接続した例を示している。

【0085】

なお、E/O、及びO/E変換部として球状ICを用いた例を示したが、これに限定されるものではない。

【0086】

(動作原理)

以下動作原理について説明する。

【0087】

まず、送信機能について説明する。

図2は、図1のA部の拡大図である。図2において、LSI1103のI/O部の出力電気信号(CMOSロジック201)は、電気配線1104を介して近傍の電子デバイスに信号を伝送することができる。

【0088】

しかし、近接した光I/Oデバイス(たとえば、球状光デバイス)を直接駆動して出力光信号1204を発生し、光導波路層(光シート)1102を介して、光配線として用いることも可能である。必要に応じて、どちらかの方法を選択することもできる。

【0089】

近接した球状光デバイスを駆動する場合を考える。

LSIのロジック信号(たとえばCMOSなら3.3V)は、前記球状光デバイスを駆動するのに十分な電圧である。球状光デバイスに順バイアスとなるようロジック信号を印加することで、電気信号は光信号に変換される。

【0090】

このとき、光は球面全体に放射されるため、特別な光学系なしで、光シート全面に拡散伝播していく。この結果、導波路への結合効率は80%以上を確保できる。

【0091】

次に、受信機能について説明する。

【0092】

光シート1102の任意の方向から伝播してくる入力光信号1205は、球状受光素子1201表面に達すると内部に取り込まれ、逆バイアスをかけたPN接合付近で吸収され電子信号に変換される。変換された電気信号は入力電気信号203として近接するLSI1103内部に取り込まれ処理される。この際、球状光デバイス表面に電気信号を増幅するプリアンプを集積していれば、CMOSコンパチブルの電圧に復元することができる。

【0093】

以上のように本発明を用いれば、電気配線だけでは困難だった、配線遅延問題とEMI問題の同時解決が可能である。

【0094】

(実施例2：クロック配信)

次に本発明の応用例について説明する。

【0095】

図1において、1つの基板1101上に複数の電子部品(CPUやメモリなど)1103が実装され、その配線の一部が実施例1のように、球状光デバイス1201で基板に結合している場合を考える。

【0096】

図1において、LSI1106はクロックジェネレータとする。

このとき、クロック信号を球状光デバイス1202を介して信号を光電融合基板の光導波路部に送る。光配線を選択された信号は、球状光デバイスに出力され、これはCMOSで送られる信号そのもので駆動される。特別にドライバは必要としない。そのために光デバイスとしては低電圧で動作するGaAsN系の半導体レーザを用いた。

【 0 0 9 7 】

球状光デバイス1201はクロック信号を光に変換し、基板上のすべてのデバイスに光信号となったクロック信号を配信する。基板上の任意の電子デバイス（たとえばMPU1103）もまた、球状光デバイス1201を有しているので、クロックジェネレータ1106からの光信号を受光する。球状光デバイス1201は球面形状を有しているため、任意の方向からの光を高い受光効率で受けることができる。受光した光は、電子ホール対に分かれ、球状光デバイス上あるいは近接するLSIに作製されたプリアンプによって、電気信号が増幅され、MPUに取り込まれる。他のデバイス（たとえばRAM）も同様な方法でクロック信号を受けることができるため、共通のクロックで動作させることができる。

【 0 0 9 8 】

従来、個々のデバイスにクロック信号を分配しようとする、自由に配線パターンを選べないため、あるいは、配線距離が等長にできないためことによる配線遅延や高速大電流動作によるEMIの影響が無視できなかったが、本発明によれば、最短距離でかつ電磁無誘導で配線できるため、これら問題点を一挙に解決できる。

【 0 0 9 9 】

（実施例3：MPU→メモリ（シリアル伝送））

つぎに他の応用例について説明する。

図6は、本発明の第3実施例を説明する模式図である。図において、1106は2つのCPUである。1107は、この2つのCPUが共有するRAMである。同図において、1601はパラレルの電気配線、1602はシリアルの光配線である。

通常の電気配線では、たとえば、6本の伝送路で64ビット幅のデータ線1601を必要としている。大容量のデータ高速で送る用途（動画など）では、従来の配線では、先に述べた理由（配線遅延やEMI）により、正しくデータを送ることはできない場合がある。このような場合に光配線を使うことができる。

【 0 1 0 0 】

たとえば図6において、MPUからメモリに64ビット幅でデータを送るため、電気配線としては6本必要だが、MPUの最終段でパラレル・シリアル変換し、1個

の光I/O素子を接続することで、電気信号が、光信号として、光電融合基板の光導波路部で伝送され、受け側の光I/O素子で受光したあと、シリアル・パラレル変換することで、64ビット幅のパラレル信号とする。パラレルからシリアル変換することで、クロックは高くなるが、光導波路に伝播するためEMIの心配はない。

【0101】

本実施例では最初から光配線を選択しているが、かならずしも光配線のみを使用する必要はない。つまり、電気配線のパスも選択できるようにしておくことで、あるときは電気配線、あるときは光配線として接続することが可能である。この柔軟性が本発明の大きな特長の一つである。

【0102】

電気配線では、EMIを避けるため、他のデバイス避けるように配線する場合があり、その結果配線長が長くなり、今度は配線遅延や波形歪の原因となる場合がある。このとき、光配線を選択することで、最短でEMIフリーの接続ができるため、配線遅延も波形歪を生じない。

【0103】

どの信号を電気配線あるいは光配線にするかは最終判断は、バスを管理するデバイスが決定する。

【0104】

光に変換された光は、2Dの光導波路中を拡散して伝播し、他所に配置された、ICへ到達する。このIC近傍にもO/E変換用のボールICが設置されている。本実施例は、同一のボールICを設置した。表面が球形状をしているために、プリズムやミラー等を用いなくとも、直接光がp-n接合面に当たるため、きわめて簡便に実装可能である。本実施例では、発光部と同様の実装方法を用いた。

【0105】

(実施例4：ボールSiにp-i-n-PDとアンプを集積)

図7は本発明の第4の実施例を説明する模式図である。

図において2101は球状Si基板であり、その北半球部は表面を、南半球は断面を示している。2102はその南半球部に形成された受光素子、2103はそれを駆動するバ

イアス回路や電気信号を増幅するプリアンプ等のICである。なお、2401は光導波路基板、2402はコア層、2403はクラッド層、2306は電極、2403はプリント配線、2404はバンプ、2405は出力光、2406は入力光である。

【0106】

以下製造方法について詳細に説明する。

【0107】

まず、図8のように、アンドープ球状Si基板2101（直径約1mmφ）のほぼ半分（南半球部）に、イオン注入により、p-Si層2202、i-Si層2203、n-Si層2204を形成し、受光素子領域とする。深さはそれぞれ0.3μm程度である。必要に応じて、アニール処理により結晶回復を行う。

【0108】

次に、図9（上半分は球表面を、下半分は球断面を表している）に示すように、残りの球表面領域に、この受光素子に逆バイアスをつけるためのバイアス回路2301、光信号から変換された電気信号を所望の電圧レベルまで増幅するプリアンプ回路2302、および波形整形回路2303等を作製する。なお、2304は電気配線、2305は受光素子電極、2306は電子回路電極である。電極2305aはp-Si層2202に、2305bはn-Si層2204にそれぞれ電極を印加するための電極であるので、電極2305aの電位がn-Si層2204に印加されないようにしておく。

【0109】

ここでは、すべての電子回路は3.3V CMOSロジック回路を用いた。同時に、受光素子の正電極2305aおよび負電極2305bおよび配線パターン2304を形成する。また、2306は、電子回路入出力用の外部電極である。

【0110】

以下に実装方法の一例を示す。図7において、たとえば、2401はPMMAでできた基板兼クラッド層であり、2402は光導波路となるコア層（シート状になっている）、2403はクラッド層である。コア層2402およびクラッド層2403は、感光性ポリイミド等を塗布し、本発明の球状光電融合デバイスが、はめ込むことができる窪みをホトリソ技術等で作製する。この上に所望の配線パターンをプリントしたあと、紫外線硬化樹脂（図示せず）で本発明の光電融合デバイスを固定する。

【0111】

この後、図10に示すようにAuバンプ2404等を用いて配線パターン2403とデバイス上の電極2306のコンタクトをとる。この工程は、バンプのかわりに、メッキを用いてもよい。

【0112】

以下動作原理について説明する。

【0113】

図7あるいは図9において、光電融合デバイスのpn接合に、バイアス回路2301によって、逆バイアス（たとえば3.3V）をかける。このとき、この光電融合デバイスは、2次元の光コア層2402中を任意の方向から伝播してくる光信号を受光することができる。これは球面形状を有しているからである。

【0114】

入力光信号は内部に取り込まれ、逆バイアスをかけたPN接合付近で吸収され、電子信号に変換される。変換された電気信号は入力電気信号として近接するプリアンプ2302でCMOSロジックレベルまで増幅されたあと、さらに波形整形回路2203等で処理されたあと、バンプでコンタクトされたプリント配線に伝送される。以上、説明した実施例により、(1)2次元の任意の方向からの光を受信でき、(2)集積された電子回路で、増幅や波形整形ができ、(3)実装が容易となる。更に、(4)既存の電子回路に影響を与えることなく、1つのデバイスで、光インタコネクットのI/Oとすることができる。

【0115】

(実施例5: III-VN on ボールGaAs)

本発明第5の実施例について説明する。

【0116】

本実施例は、球状Si基板の代わりに、球状GaAs基板を使用するものである。

【0117】

図11を用いてその製造方法について説明する。

【0118】

高純度アンドープ球状GaAs基板2501の表面から、イオン注入により、p型GaAs

層、2103はGaAsN光吸収層、2104はn型GaAs層を形成する。

【0119】

p型の不純物濃度は $1\text{E}19\text{cm}^{-3}$ 、n型の不純物濃度は $1\text{E}18\text{cm}^{-3}$ 程度である（イオン種は任意）。アンドープGaAsNは、GaAsに対しNを高濃度（ $1\text{E}21\text{cm}^{-3}$ ）イオン注入することで構成元素としたものである。イオン注入時のダメージを除去するため、RTA（Rapid Thermal Annealing）が効果的である。

【0120】

注入深さは、GaAsN層が厚さ $0.2\mu\text{m}$ となるように他の層のイオン注入条件を設定した。

【0121】

後のプロセスや実装工程は、実施例4に準ずる。

電子回路部は、bipolaプロセスで行うことで実施例4と同等以上の機能を有する電子回路を作製することができる。電極は、完全な窓構造ではなく、メッシュ構造でも良い。

【0122】

以下、実施例4と異なる点中心に説明する。

受光デバイスとして動作させる場合には、実施例4の場合と全く同じである。すなわち、図11におけるp-GaAs層2502とn-GaAs層2504にそれぞれ逆バイアスをかけることにより、光入射窓から広角から入射した光は、PN接合で吸収され電気信号として近接した電子デバイスに取り込まれる。GaAsNはGaAsよりもバンドギャップが小さいのでGaAsよりも低電圧で動作する。さらには、Siよりも移動度が大きいいため高速応答が可能である。なお、2503は、i-GaAsN層である。

【0123】

GaAsNは直接遷移型の化合物半導体であるため、発光素子としても使用可能である。発光素子として動作させる場合には、図7あるいは図9において、電極2305aおよび2305bに順バイアスをかけることにより、PN接合で発光した光は光出射窓から広角に放射される。ロジックデータそのもので駆動してもよいし、ドライバ回路を介して駆動してもよい。

【0124】

発光デバイスの場合も受光デバイスの場合も、その表面は球面形状を有しているため、広い角度で、出射および入射が可能なことが大きな特徴となっている。

【 0 1 2 5 】

(実施例 6 : GaAsN films on facets of Ball Si)

図 1 2 は本発明第 6 の実施例を説明する模式図である。本実施例は、ボール Si 基板に GaAsN/AlGaAsN を積層して、発光素子あるいは受光素子としたものである。3101 は球状半導体基板、3102 は IC、3103 は光デバイス、3104 はバンプ、3105 は光導波路基板、3106 はコア層、3107 はクラッド層、3108 はプリント配線、3109 は出力光、3110 は入力光である。

以下、製造方法について説明する。

【 0 1 2 6 】

(ボール IC の作製)

図 1 3 のように、アンドープ球状 Si 基板 (1mmφ) 3101 の半球表面 (ここでは北半球表面) に IC 3102 を作製する。この IC は、発光素子の場合、駆動 IC だったり、パラレルシリアル変換回路だったりする。受光素子の場合には、バイアス回路、プリアンプ、波形調整回路、あるいはシリアルパラレル変換回路だったりする。もちろん両方の機能を兼ねる場合は、それに応じた電子回路を付加する。これらの回路は、通常の CMOS プロセスで作製可能で、そのロジック電圧は、3.3V である。3111 は電気配線である。

【 0 1 2 7 】

(光デバイスの作製)

Si ボール IC プロセスがほぼ終了したあと、光デバイスを作製する。まず、球全体を窒化膜 (SiN) 等でカバーし、光デバイス作製部分を平面に研磨およびポリッシングする。窒化膜で覆うのは、光デバイスプロセス中に電子デバイスを保護するためと、選択成長用マスクとして使用するためである。球面を覆うため、応力の小さい膜を形成することが望ましい (ここでは Si₃N₄ (厚さ 200nm) を用いた)。

【 0 1 2 8 】

光デバイス作製領域として、本実施例では、南半球における (111) 面およびそ

れに準ずる面（(100)、(010)、(-100)、(0-10)全部で4面）3301を用いた（1辺約20 μ m程度の三角平面）。図14は、図13をS極方向から見た平面図であり、3101は球状基板、3301は(111)相当面である。図15はこのひとつの面の断面図である。必要であれば再び窒化膜等で全体を覆ったあと、デバイス作製領域のみに窓を開ける。開口部の形状に応じて選択成長するので、本実施例では円筒状になるよう開口部を制御した。3101は球状半導体基板、3301は(111)面、3401はSiN膜である。

ここで（1 1 1）相当面を選んだ理由は以下の通り。

(1)化学的に等価であることから、次に行う結晶成長で均一な構造を作製できる

。（もし、他の結晶面を含む場合、組成や膜厚、結晶成長方向には異方性が生じる。）

(2)S極に接する面（光の伝播方向に、少なくとも4つの方向に光を放出、あるいは少なくとも四方向からの光を受光できるためである。上記と同等以上の機能を有するのであれば、(111)相当面に限るものではない。

【 0 1 2 9 】

（結晶成長）

図16を用いてデバイス構造について説明する。ガスソースMBE(分子線エピタキシイ)法あるいはMOCVD(有機金属蒸着)法を用いて、選択領域（開口部）のみに $\text{Ga}_x\text{As}_{1-x}$ をバッファ層3501としてまず積層する。このときの格子定数はクラッド層および活性層の条件に応じて適宜選ばばよい。ここでは、 $\text{In}_{0.1}\text{Ga}_{0.9}\text{As}$ に格子整合するよう窒素組成Xを0.2から0まで徐々に変化させたあと、Inの組成を徐々に変化させながら InGaAs をさらに積層した。この後、 $n\text{-InAlGaAs}$ クラッド層3502、 GaInNAs/InAlGaAs MQW（多重量子井戸）活性層（発光波長1.3 μ m）3503、 $p\text{-InAlGaAs}$ クラッド層3504および $p\text{-InGaAs}$ コンタクト層3505を順次積層する。光入射用の窓3507をつけたあと正電極3506を形成する。引き続き負電極を球内部から所望の位置に形成し、不必要な窒化膜を除去し、ICの電極と配線して本実施例は完成する。3101は球状半導体基板、3401は選択マスクである。

【 0 1 3 0 】

(実装)

実装例を図 1 7 に示す。図において 3601 は PMMA 等の基板であり、3602 はその上に形成されたポリイミド等からなる光導波路コア層である。その上に PMMA に準じたクラッド層 3603 が形成されている。このクラッド層 3603 およびコア層 3602 に上記球状光電融合デバイスをはめ込むことができるような窪みをフォトリソ等で形成する。そのあと、該デバイスを紫外線硬化樹脂等（図示せず）で固定する。この後、Au バンプ 3502 を用いてプリント配線 3501 とコンタクトをとる。

【 0 1 3 1 】

(動作原理)

次に動作原理について説明する。

【 0 1 3 2 】

(発光素子の場合)

図 1 2 あるいは図 1 3 において、ドライバー IC 3102 から供給される電気信号によって、発光素子 3103 は、光信号を発する。この光信号は実装されたコア層に出力光として放出される。コア層に直接光結合しているため、効率良く光を光導波路に導くことができる。

【 0 1 3 3 】

2次元全方位に光信号を送出したい場合には、同一の信号を同時に変調して光信号を出せばよい。現在の場合 4 方位だが、この発光素子は LED であるので、指向性は弱いため、実質全方位に一樣に近い強度分布で伝播される。さらに均一な強度分布にしたい場合には、(1 1 1) 相当面以外のより高次数の面方位に発光素子を作製すればよい。放射光はその後、2次元光導波路を伝播することで、他の光電融合デバイスにその光信号を伝える。

【 0 1 3 4 】

(受光素子) の場合

本実施例は受光素子としても使用することができる。

図 1 2 あるいは図 1 4 において、光電融合デバイスの p n 接合に、バイアス回路 3301 によって、逆バイアス（たとえば 3.3V）をかける。このとき、この光電融合デバイスは、2次元の光コア層 3106 中を任意の方向から伝播してくる光信号を受

光することができる。これは受光面が球面形状を有しているからである。入力光信号は内部に取り込まれ、逆バイアスをかけたPN接合付近で吸収され、電子信号に変換される。変換された電気信号は入力電気信号として近接するプリアンプ3102でCMOSロジックレベルまで増幅（あるいは減衰）されたあと、さらに波形整形回路3102等で処理されたあと、バンプでコンタクトされたプリント配線に伝送される。

【 0 1 3 5 】

（効果）

本実施例の効果は以下の通り。

- (1)2次元の任意の方向からの光を受信できること
- (2)集積された電子回路で、増幅や波形整形が可能なこと
- (3)実装が容易なこと
- (4)既存の電子回路に影響をあたえることなく、1つのデバイスで、光インタコネクットのI/Oとすることができること。

【 0 1 3 6 】

（実施例7）III-VN on ボールGaAs

本発明第7の実施例について説明する。

本実施例は、球状Si基板の代わりに、球状GaAs基板を使用するものである。GaInNAsは、GaAsに格子整合するためSi基板を用いる場合よりも、簡単にバンドギャップ制御できる特長がある。

図16を用いてその製造方法について説明する。

【 0 1 3 7 】

（ボールICの作製）

図13のように、アンドープ球状Si基板（1mmφ）3101の一部、たとえば半球表面部（ここでは北半球表面）にIC3102を作製する。このICは、発光素子の場合、駆動ICだったり、パラレルシリアル変換回路だったりする。受光素子の場合には、バイアス回路、プリアンプ、波形調整回路、あるいはシリアルパラレル変換回路だったりする。もちろん両方の機能を兼ねる場合は、それに応じた電子回路を付加する。これらの回路は、通常のFETあるいはBipolarプロセスで作製可能で

ある。図16中、3101は球状半導体基板、3501はバッファ層、3502はクラッド層、3505はコンタクト層、3506は電極、3507は窓、3401は選択マスクである。

【0138】

(光デバイスの作製)

GaAsボールICプロセスがほぼ終了したあと、光デバイスを作製する。

まず、球全体を窒化膜等でカバーし、光デバイス作製部分を平面に研磨およびポリッシングする。窒化膜で覆うのは、光デバイスプロセス中電子デバイスを保護するためと、選択成長用マスクとして使用するためである。球面を覆うため、応力の小さい膜を形成することが望ましい。光デバイス作製領域として、本実施例では、南半球における(111)面およびそれに準ずる面((100)、(010)、(-100)、(0-10)全部で4面)3301を用いた(1辺約20 μ m程度の三角平面)。図14は、図13をS極方向から見た平面図である。図15はこのひとつの面の断面図である。必要であれば再び窒化膜等で全体を覆ったあと、デバイス作製領域のみに窓を開ける。開口部の形状に応じて選択成長するので、本実施例では円筒状になるよう開口部を制御した。

ここで(111)相当面を選んだ理由は以下の通り。

(1)化学的に等価であることから、次に行う結晶成長で均一な構造を作製できる。

(もし、他の結晶面を含む場合、組成や膜厚、結晶成長方向には異方性が生じる。)

(2)S極に接する面(光の伝播方向に、少なくとも4つの方向に光を放出、あるいは少なくとも四方向からの光を受光できるためである。上記と同等以上の機能を有するのであれば、(111)相当面に限るものではない。

【0139】

(結晶成長)

図16を用いてデバイス構造について説明する。ガスソースMBE(分子線エピタキシー)法あるいはMOCVD(有機金属蒸着)法を用いて、選択領域(開口部)のみにGaAsをバッファ層3501としてまず積層する。次に、たとえば、In_{0.1}Ga_{0.9}Asに格子整合するようInの組成を徐々に変化させながらInGaAsをさらに積層した。この

後、n-InAlGaAsクラッド層3502、GaInNAs/InAlGaAs MQW（多重量子井戸）活性層（発光波長1.3 μ m）3503、p-InAlGaAsクラッド層3504およびp-InGaAsコンタクト層3505を順次積層する。この結晶成長の工程は、III-V族同士の積層なので、実施例6のSi上のIII-V族形成よりも容易であるという特長がある。次に、光入射用の窓3507をつけたあと正電極3506を形成する。引き続き負電極を球内部から所望の位置に形成し、不必要な窒化膜を除去し、ICの電極と配線して本実施例は完成する。

【0140】

（実装）

実装例を図17に示す。図において3601はPMMA等の基板であり、3602はその上に形成されたポリイミド等からなる光導波路コア層である。そのうえにPMMAに準じたクラッド層3603が形成されている。このクラッド層3603およびコア層3602に上記球状光電融合デバイスをはめ込むことができるような窪みをフォトリソ等で形成する。そのあと、該デバイスを紫外線硬化樹脂等（図示せず）で固定する。このあと、Auパンプ3502をもちいてプリント配線3501とコンタクトをとる。

【0141】

（動作原理）

受光デバイスとして動作させる場合には、前述の実施例の場合と同じである。すなわち、光デバイスに逆バイアスがかかることにより、光入射窓から広角から入射した光は、PN接合で吸収され電気信号として近接した電子デバイスに取り込まれる。Ga(In)NAsはGaAsよりもバンドギャップが小さいのでGaAsよりも低電圧で動作する。さらには、Siよりも移動度が大きいので高速応答が可能である。GaInNAsは直接遷移型の化合物半導体であるため、発光素子としても使用可能である。発光素子として動作させる場合には、図12あるいは図14において、発光素子の駆動電極に順バイアスがかかることにより、PN接合で発光した光は光出射窓から広角に放射される。ロジックデータそのもので駆動してもよいし、ドライバ回路を介して駆動してもよい。

発光デバイスの場合も受光デバイスの場合も、その表面は球面形状を有しているため、広い角度で、出射および入射が可能なのが大きな特徴となっている。

【 0 1 4 2 】

(効果)

本発明特有の効果は以下のとおり。

(1)GaAsにくらべより長波長の光を受光できる。

光源が、0.85 μ m帯の場合、実施例1のSi-pinPDでは、受光感度が不足する場合があるが、本実施例ではその心配はない。このことは電気回路の負担も少なくなる。

(2)CMOSは使えないが、代わりにFETやGaAs バイポーラ回路を使えるため高速処理に有利である。

(3)高速処理できることを利用して、パラレルデータをシリアルデータに変換して転送することができる。

(4)本構造では、GaAsNは直接遷移型であるため、発光素子としても使用可能である。

本実施例では、球状GaAs基板を用いたが、これに限るものではない。

【 0 1 4 3 】

(実施例8) III-VN on 球状 InP基板

基板に球状InP基板を用いることで、他の効果を得ることができる。

図16を再度用いて説明する。

【 0 1 4 4 】

(ボールICの作製)

図13のように、アンドープ球状InP基板(1mm ϕ)3101の半球表面(ここでは北半球表面)にIC3102を作製する。このICは、発光素子の場合、駆動ICであったり、パラレルシリアル変換回路だったりする。受光素子の場合には、バイアス回路、プリアンプ、波形調整回路、あるいはシリアルパラレル変換回路だったりする。もちろん両方の機能を兼ねる場合は、それに応じた電子回路を付加する。これらの回路は、通常のFETあるいはBipolarプロセスで作製可能である。GaAsに比べ、バンドギャップが小さくかつ移動度が大きいので高速なドライバ回路を使用することができる。

【 0 1 4 5 】

(光デバイスの作製)

InPボールICプロセスがほぼ終了したあと、光デバイスを作製する。

まず、球全体を窒化膜等でカバーし、光デバイス作製部分を平面に研磨およびポリッシングする。窒化膜で覆うのは、光デバイスプロセス中電子デバイスを保護するためと、選択成長用マスクとして使用するためである。球面を覆うため、応力の小さい膜を形成することが望ましい。光デバイス作製領域として、本実施例では、南半球における(111)面およびそれに準ずる面（(100)、(010)、(-100)、(0-10)全部で4面）3301を用いた（1辺約20 μ m程度の三角平面）。図14は、図13をS極方向から見た平面図である。図15はこのひとつの面の断面図である。必要であれば再び窒化膜等で全体を覆ったあと、デバイス作製領域のみに窓を開ける。開口部の形状に応じて選択成長するので、本実施例では円筒状になるよう開口部を制御した。

ここで（111）相当面を選んだ理由は以下の通り。

(1)化学的に等価であることから、次に行う結晶成長で均一な構造を作製できる

。

（もし、他の結晶面を含む場合、組成や膜厚、結晶成長方向には異方性が生じる。）

(2)S極に接する面（光の伝播方向に、少なくとも4つの方向に光を放出、あるいは少なくとも四方向からの光を受光できるためである。上記と同等以上の機能を有するのであれば、(111)相当面に限るものではない。

【0146】

(結晶成長)

図16を用いてデバイス構造について説明する。ガスソースMBE(分子線エピタキシー)法あるいはMOCVD(有機金属蒸着)法を用いて、選択領域（開口部）のみにInPをバッファ層3501としてまず積層する。次に、たとえば、In_{0.9}Ga_{0.1}Pに格子整合するようInの組成を徐々に変化させながらInGaPをさらに積層した。この後、n-InAlGaPクラッド層3502、GaInNP/InAlGaP MQW（多重量子井戸）活性層（発光波長1.5 μ m）3503、p-InAlGaPクラッド層3504およびp-InGaPコンタクト層3505を順次積層する。光入出射用の窓3507をつけたあと正電極3506を形成する。引き続

き負電極を球内部から所望の位置に形成し、不必要な窒化膜を除去し、ICの電極と配線して本実施例は完成する。

【0147】

(実装)

実装例を図17に示す。図において3601はPMMA等の基板であり、3602はその上に形成されたポリイミド等からなる光導波路コア層である。その上にPMMAに準じたクラッド層3603が形成されている。このクラッド層3603およびコア層3602に上記球状光電融合デバイスをはめ込むことができるような窪みをフォトリソ等で形成する。そのあと、該デバイスを紫外線硬化樹脂等（図示せず）で固定する。このあと、Auバンプ3606を用いてプリント配線3605とコンタクトをとる。

【0148】

(動作原理)

受光デバイスとして動作させる場合には、光デバイスに逆バイアスがかかることにより、光入射窓から広角から入射した光は、PN接合で吸収され電気信号として近接した電子デバイスに取り込まれる。InGaPNはInPよりもバンドギャップが小さいのでInPよりも低電圧で動作する。さらにはGaAsよりも移動度が大きいため高速応答が可能である。

InGaPNは直接遷移型の化合物半導体であるため、発光素子として使用可能である。発光素子として動作させる場合には、図12あるいは図14において、光デバイスに順バイアスがかかることにより、PN接合で発光した光は光出射窓から広角に放射される。ロジックデータそのもので駆動してもよいし、ドライバ回路を介して駆動してもよい。

発光デバイスの場合も受光デバイスの場合も、その表面は球面形状を有しているため、広い角度で、出射および入射が可能なが大きな特徴となっている。

【0149】

(効果)

本発明特有の効果は以下のとおり。

- (1) バンドギャップが小さいので電気回路への負担が小さい。
- (2) SiやGaAsに比べさらに高速な回路を作製できる。

(3) 1.5 μ m帯の光が使用できるので、中継回路なしで低損失ファイバとも直接結合でき、長距離高速伝送が可能になる。

【0150】

(実施例9) III-VN on GaN 基板

基板に球状GaN基板を用いることで、他の効果を得ることができる。

図16他を再度用いて説明する。

【0151】

(ボールICの作製)

図13のように、アンドープ球状GaN基板 (1mm ϕ) 3101の半球表面 (ここでは北半球表面) にIC3102を作製する。このICは、発光素子の場合、駆動ICだったり、パラレルシリアル変換回路だったりする。受光素子の場合には、バイアス回路、プリアンプ、波形調整回路、あるいはシリアルパラレル変換回路だったりする。もちろん両方の機能を兼ねる場合は、それに応じた電子回路を付加する。これらの回路は、通常のFETあるいはBipolarプロセス (たとえば、S.C. Binari, K. Doverspike, G. Kelner H. B. Dietrich, and A.E. Wickenden; Solid State Electronics, 41(1997), p.97, あるいは、S. Yoshida and J. Suzuki; Journal of Applied Physics Letters, 85(1999), p.7931など) と球状Siプロセス (実施例6参照) を組み合わせることで作製可能である。Siに比べ、バンドギャップがきわめて大きいこと、高温、高耐圧、高周波動作が可能であるというSiや他のIII-V材料とは別の性能指数をもつ。

【0152】

(光デバイスの作製)

GaNボールICプロセスがほぼ終了したあと、光デバイスを作製する。

まず、球全体を窒化膜 (SiN等) でカバーし、光デバイス作製部分を平面に研磨およびポリッシングする。窒化膜で覆うのは、光デバイスプロセス中電子デバイスを保護するためと、選択成長用マスクとして使用するためである。球面を覆うため、応力の小さい膜を形成することが望ましい。光デバイス作製領域として、本実施例では、南半球における(111)面およびそれに準ずる面 ((100)、(010)、(-100)、(0-10)全部で4面) 3301を用いた (1辺約20 μ m程度の三角平面)。

図14は、図13をS極方向から見た平面図である。図15はこのひとつの面の断面図である。必要であれば再び窒化膜等で全体を覆ったあと、デバイス作製領域のみに窓を開ける。開口部の形状に応じて選択成長するので、本実施例では円筒状になるよう開口部を制御した。

ここで(1 1 1)相当面を選んだ理由は以下の通り。

(1)化学的に等価であることから、次に行う結晶成長で均一な構造を作製できる。

(もし、他の結晶面を含む場合、組成や膜厚、結晶成長方向には異方性が生じる。)

(2)S極に接する面(光の伝播方向に、少なくとも4つの方向に光を放出、あるいは少なくとも四方向からの光を受光できるためである。上記と同等以上の機能を有するのであれば、(111)相当面に限るものではない。

【0 1 5 3】

(結晶成長)

図16を用いてデバイス構造について説明する。ガスソースMBE(分子線エピタキシー)法あるいはMOCVD(有機金属蒸着)法を用いて、選択領域(開口部)のみにGa₂Nをバッファ層3501としてまず積層する。次に、n-AlGa₂Nクラッド層3502、GaInN/AlGa₂N MQW(多重量子井戸)活性層(発光波長0.4μm)3503、p-AlGa₂Nクラッド層3504およびp-GaNコンタクト層3505を順次積層する。光入出射用の窓3507をつけたあと正電極3506を形成する。引き続き負電極を球内部から所望の位置に形成し、不必要な窒化膜を除去し、ICの電極と配線して本実施例は完成する。

【0 1 5 4】

(実装)

実装例を図17に示す。図において3601はPMMA等の基板であり、3602はその上に形成されたポリイミド等からなる光導波路コア層である。そのうえにPMMAに準じたクラッド層3603が形成されている。このクラッド層3603およびコア層3602に上記球状光電融合デバイスをはめ込むことができるような窪みをフォトリソ等で形成する。そのあと、該デバイスを紫外線硬化樹脂等(図示せず)で固定する。このあと、Auバンプ3606をもちいてプリント配線3605とコンタクトをとる。

【0155】

(動作原理)

受光デバイスとして動作させる場合には、実施例6の場合と全く同じである。すなわち、光デバイスに逆バイアスをかけることにより、光入射窓から広角から入射した光は、PN接合で吸収され電気信号として近接した電子デバイスに取り込まれる。GaNはSiやGaAs、あるいはInPよりもはるかにバンドギャップが大きいいため、高電圧が必要だが、反面、電子デバイスおよび光デバイス共通に高温動作が可能である長所がある。

発光素子として動作させる場合には、図12あるいは図14において、光デバイスに順バイアスをかけることにより、PN接合で発光した光は光出射窓から広角に放射される。ロジックデータそのもので駆動してもよいし、ドライバ回路を介して駆動してもよい。

【0156】

発光デバイスの場合も受光デバイスの場合も、その表面は球面形状を有しているため、広い角度で、出射および入射が可能なことが大きな特徴となっている。本実施例における効果は以下の通り。

- (1) バンドギャップが大きいので高温動作が可能である。
- (2) SiやGaAsに比べ高耐圧動作が可能である。
- (3) 0.4 μ m帯の光が使用できるので、On/Offを肉眼で確認できる。

【0157】

【発明の効果】

以上、本発明により、EMIの影響を低減したデバイスを配置することが可能となる。

【図面の簡単な説明】

【図1】

本発明の基本的な実施形態について説明するための模式的斜視図である。

【図2】

図1中のA部における模式的断面図である。

【図3】

球状光デバイスの模式的断面図である。

【図 4】

球状光デバイスの実装方法を説明する為の模式的断面図である。

【図 5】

球状光デバイスの実装方法を説明する為の模式的断面図である。

【図 6】

本発明の第3の実施例を説明する模式図である。

【図 7】

本発明の第4の実施例を説明する模式図である。

【図 8】

本発明の第4の実施例を説明する模式図である。

【図 9】

本発明の第4の実施例を説明する模式図である。

【図 10】

本発明の第4の実施例を説明する模式図である。

【図 11】

本発明の第5の実施例を説明する模式図である。

【図 12】

本発明の第6の実施例を説明する模式図である。

【図 13】

本発明の第6の実施例を説明する模式図である。

【図 14】

図 13 を S 極方向から見た平面図である。

【図 15】

(1 1 1) 面の断面図の一部である。

【図 16】

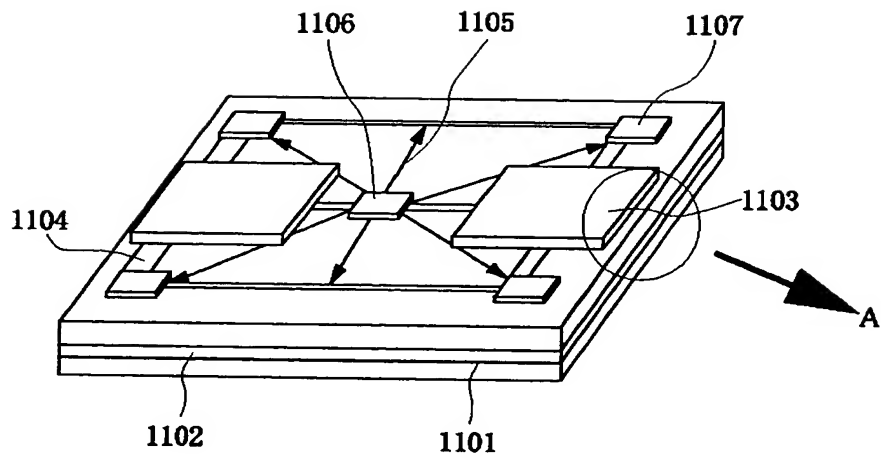
本発明のデバイス構造について説明するための図である。

【図 17】

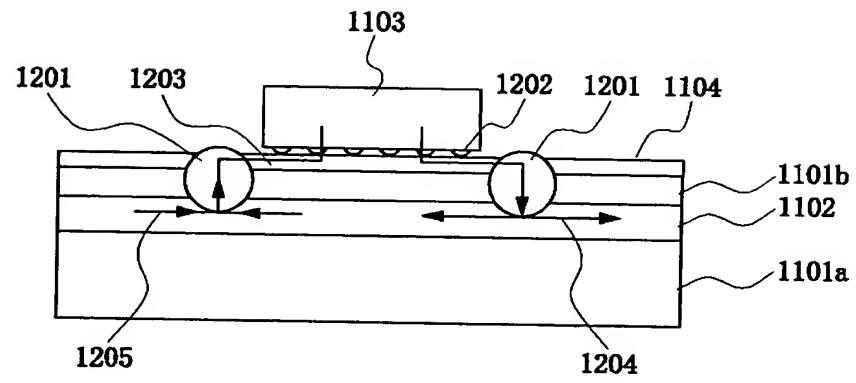
実装例を示す為の模式的断面図である。

【書類名】 図面

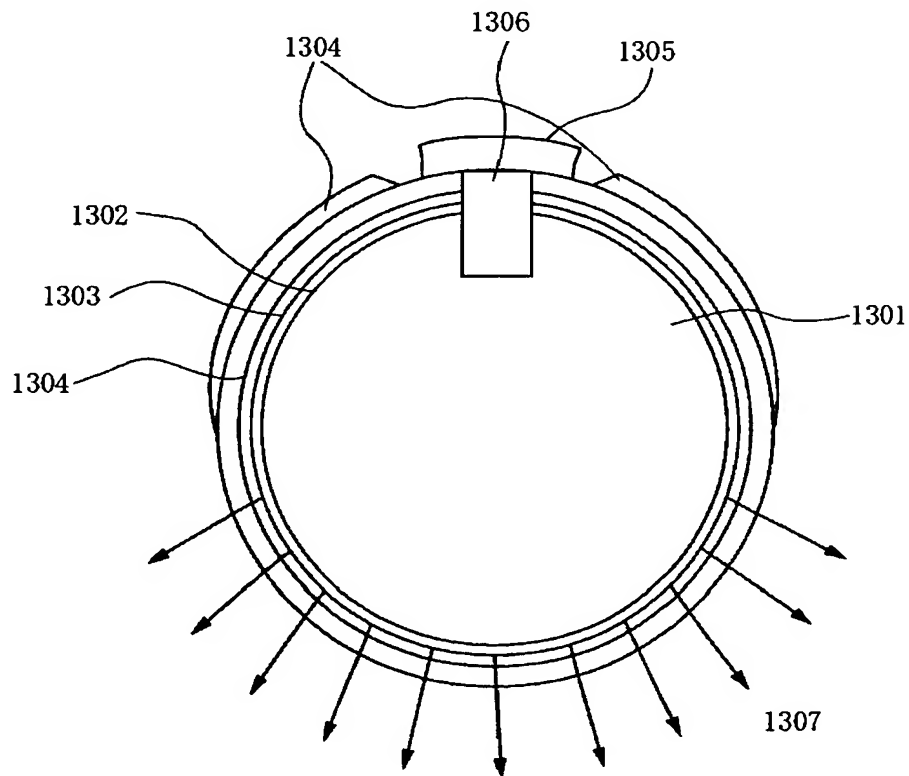
【図 1】



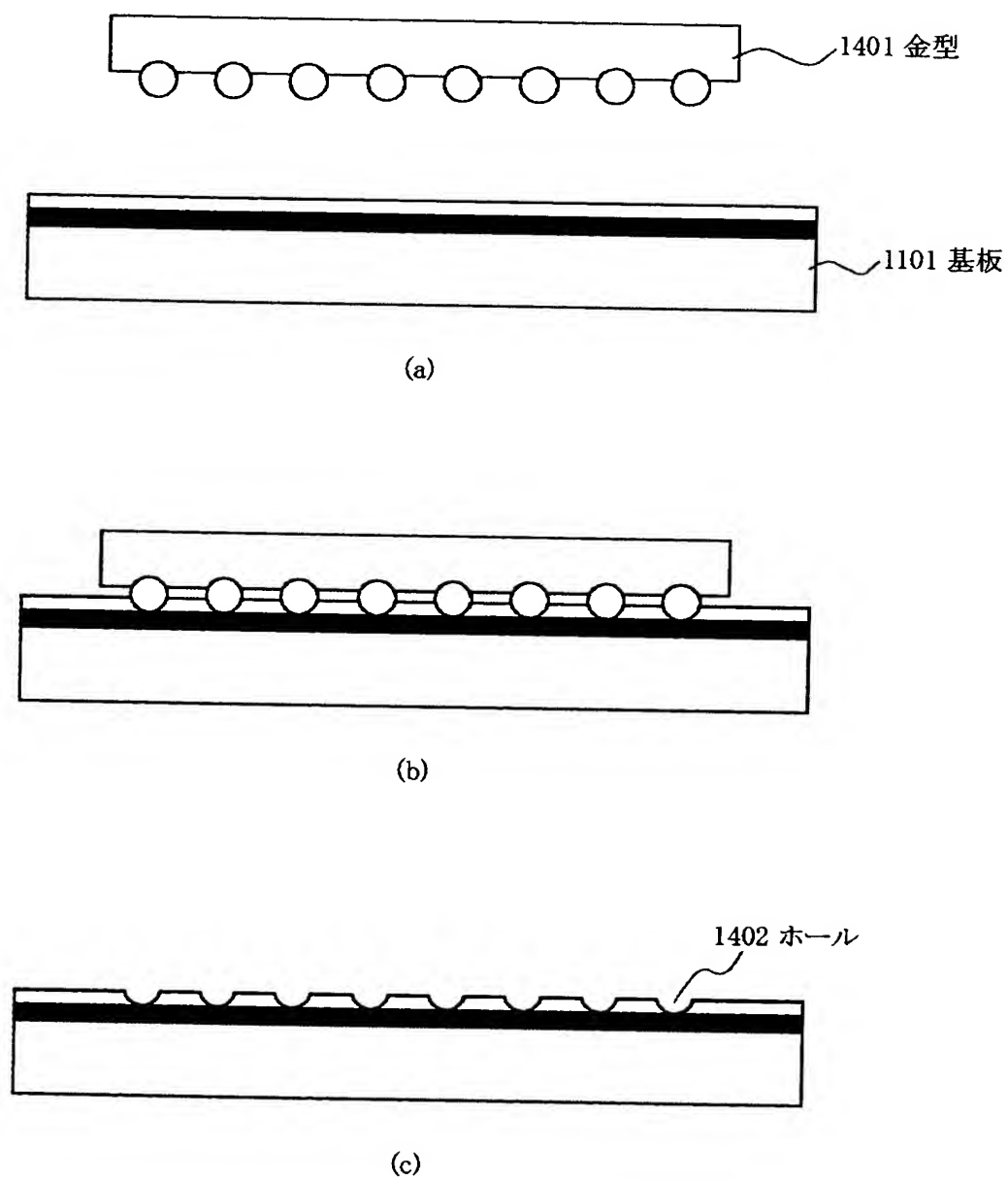
【図 2】



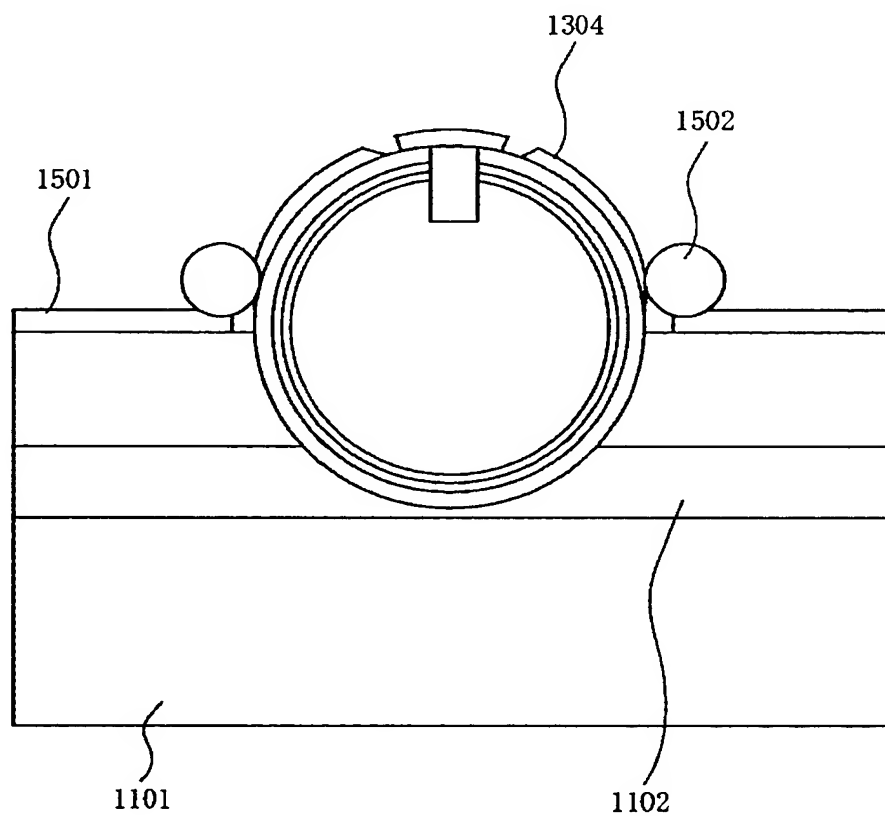
【図 3】



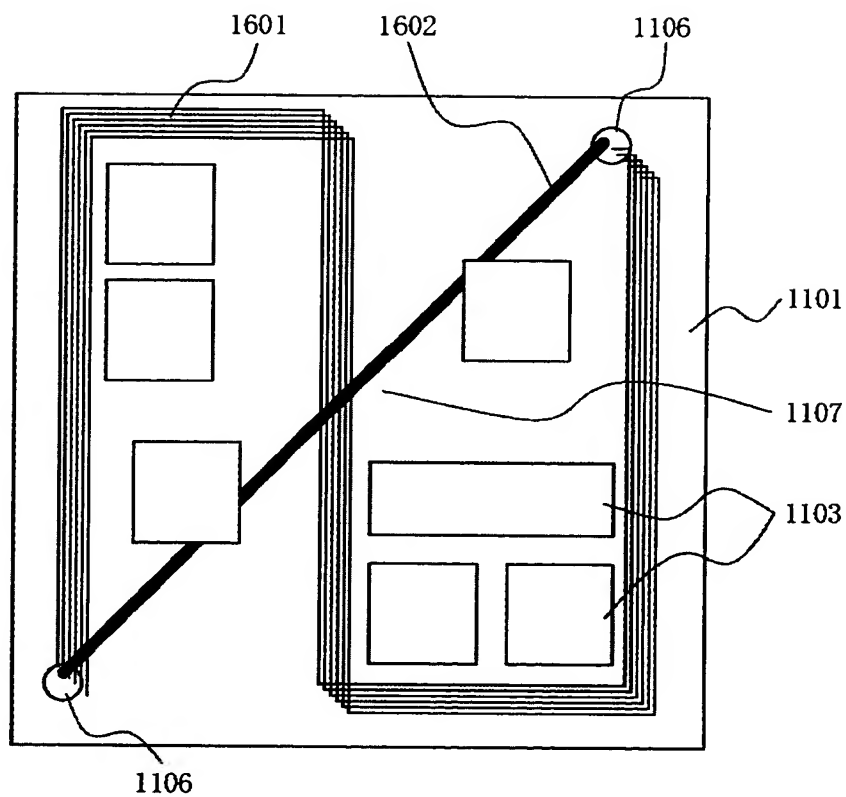
【図 4】



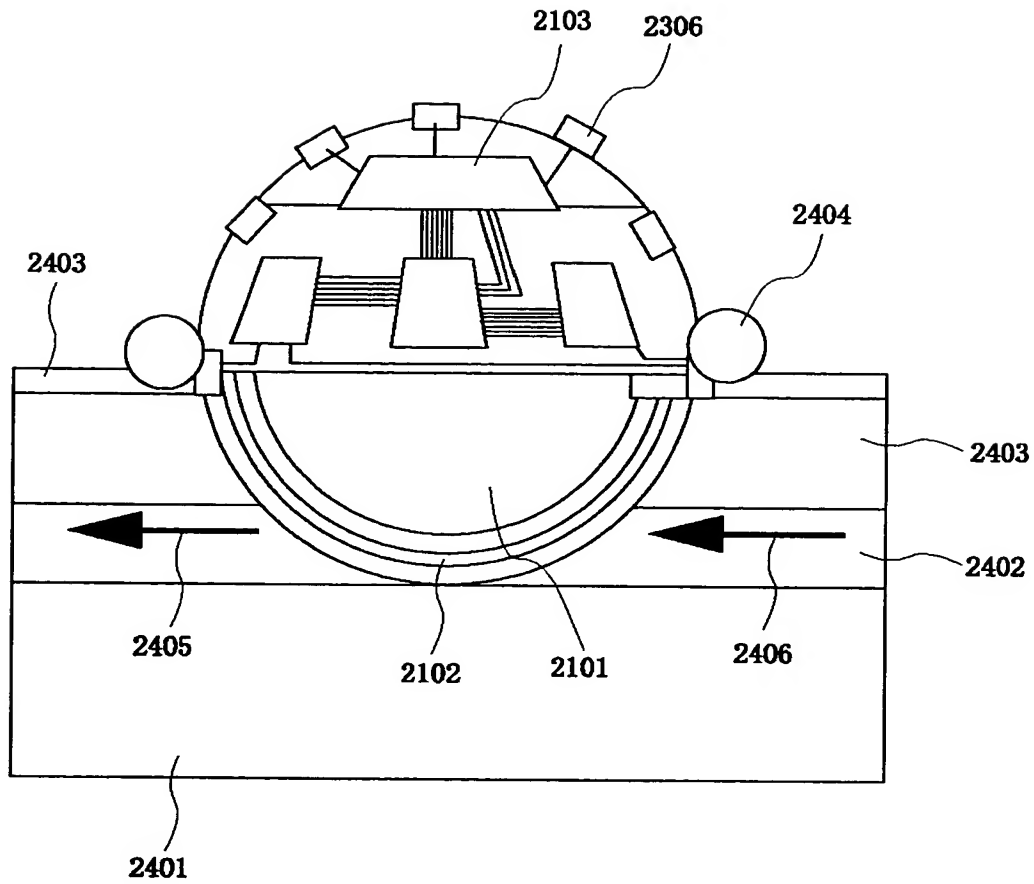
【図 5】



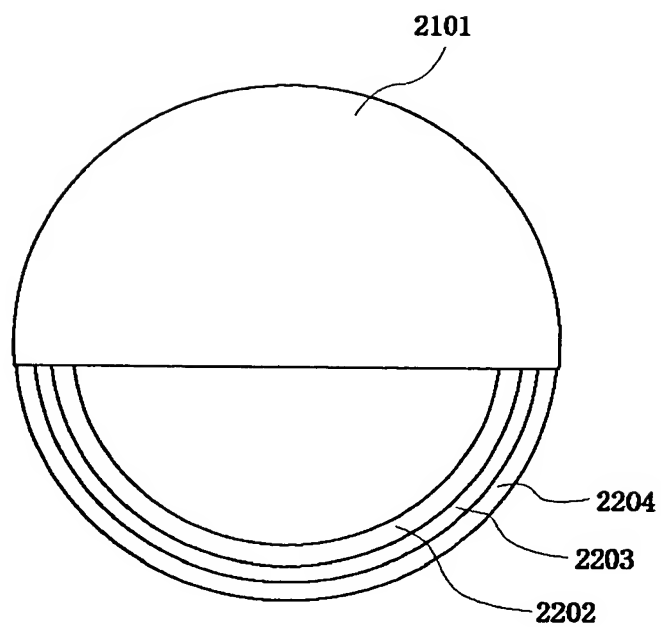
【図 6】



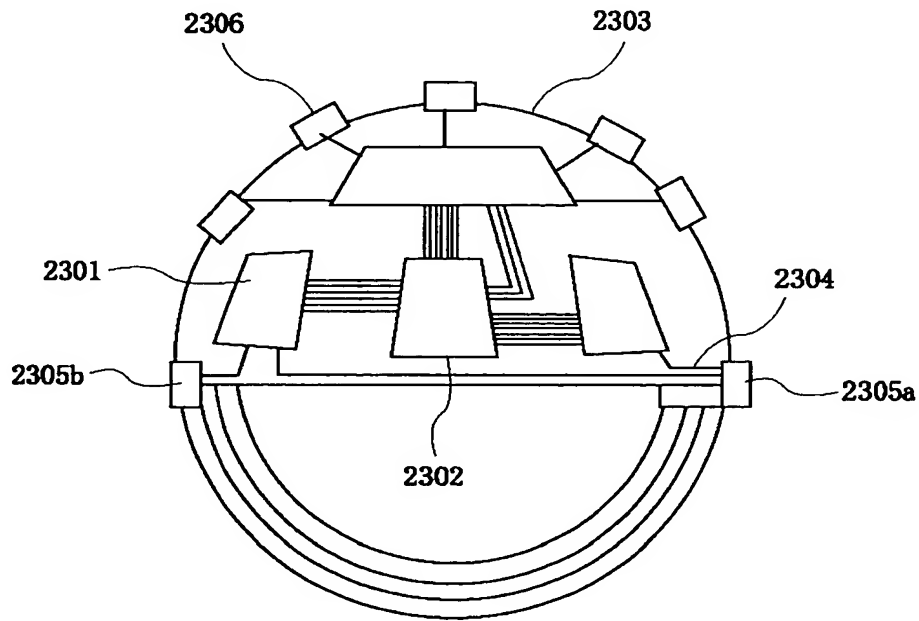
【図 7】



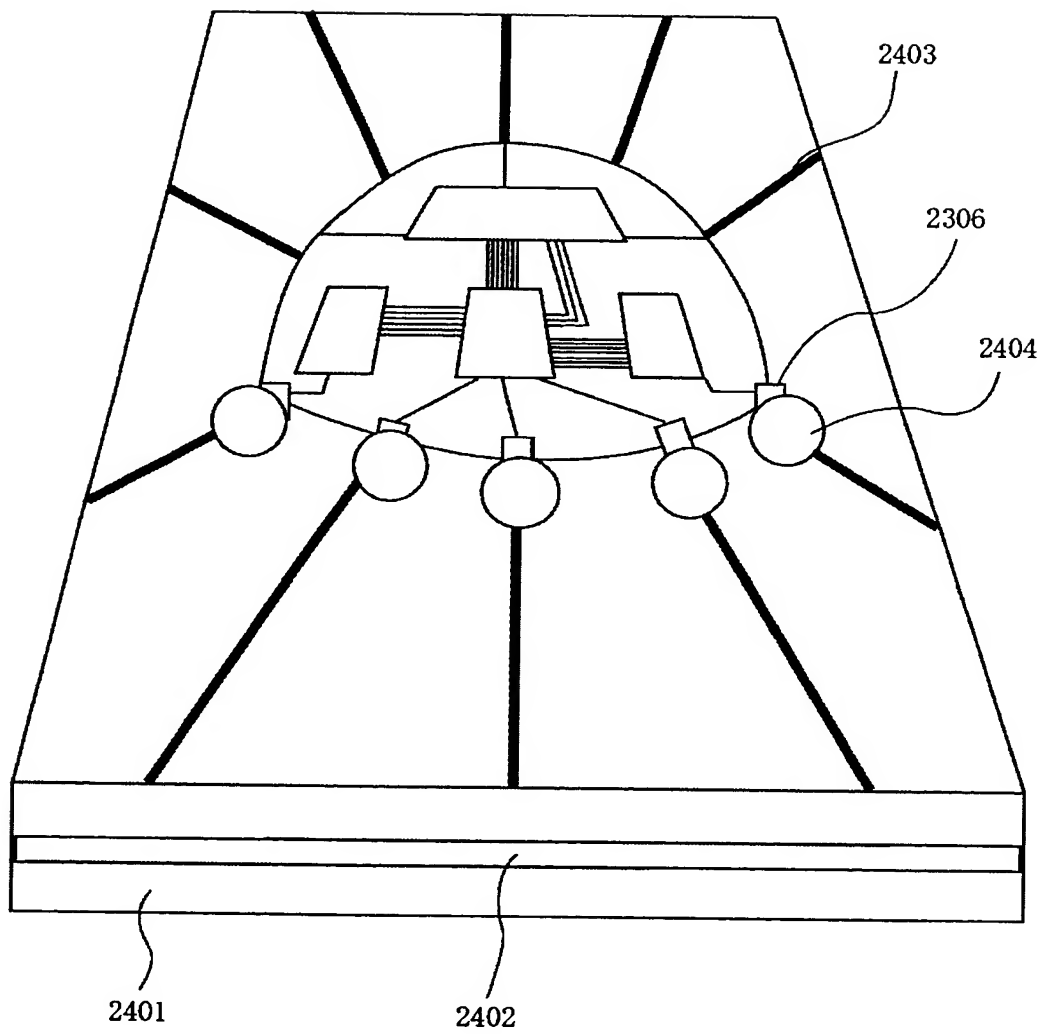
【図 8】



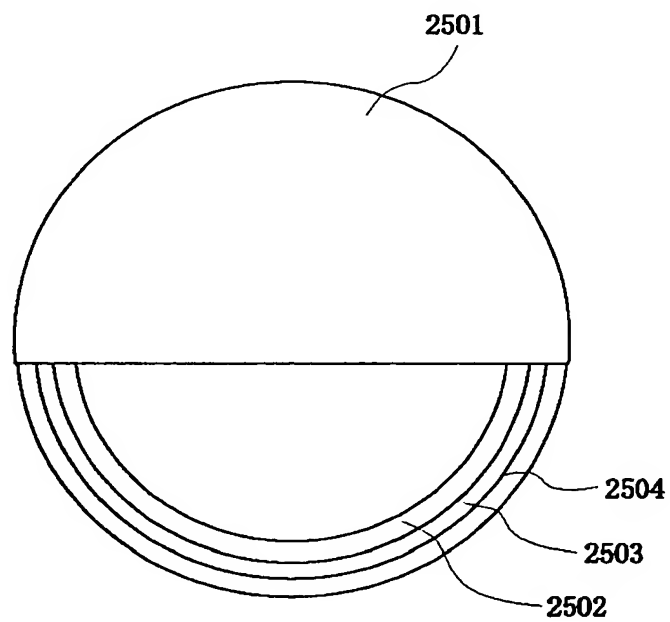
【図 9】



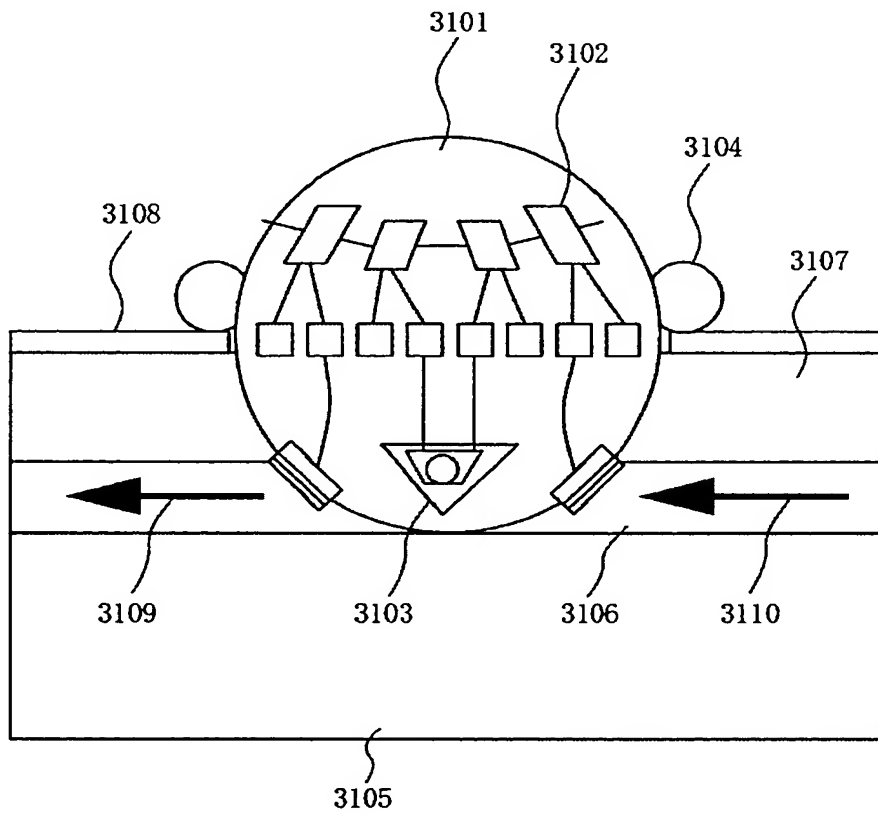
【図 1 0】



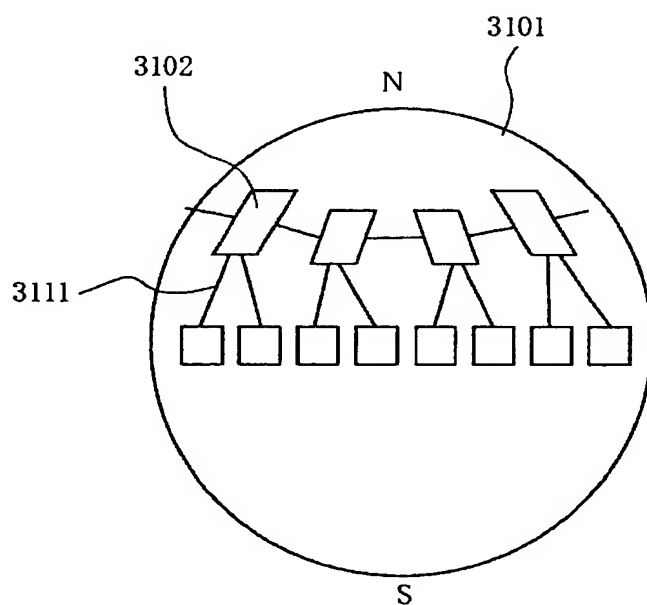
【図 1 1】



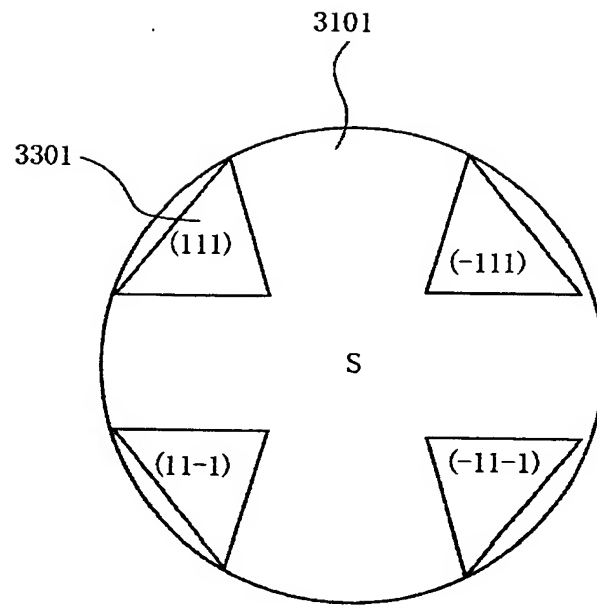
【図 1 2】



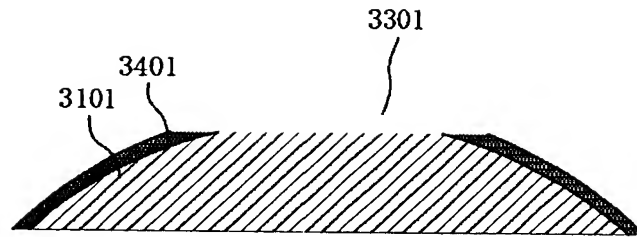
【図 1 3】



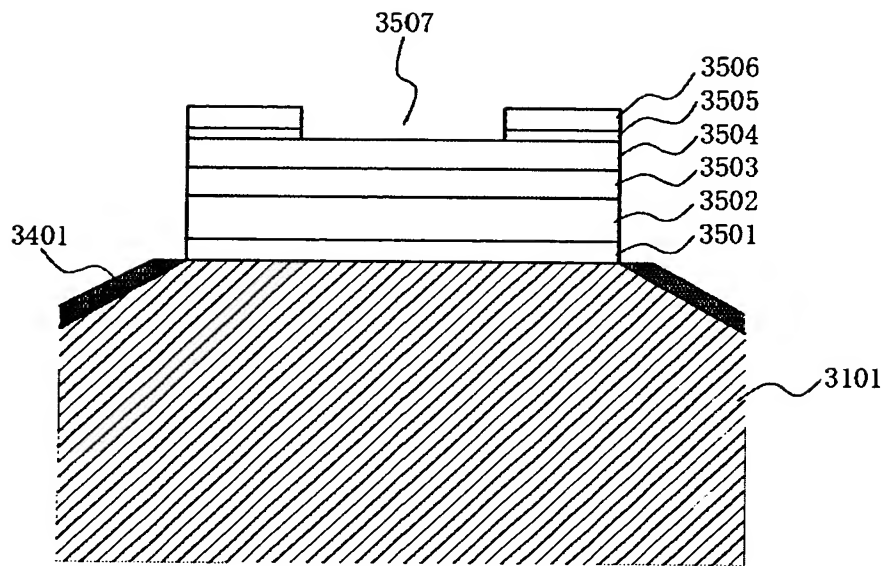
【図 1 4】



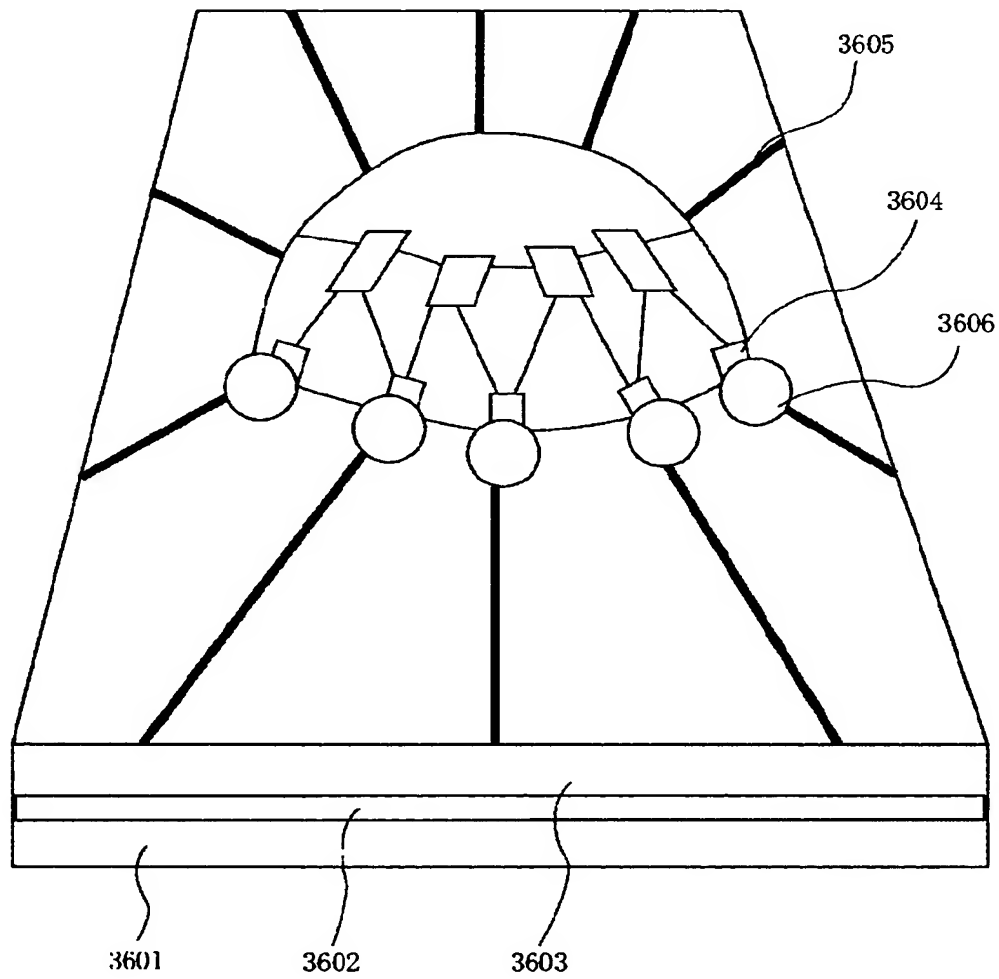
【図 1 5】



【図 1 6】



【図 1 7】



【書類名】 要約書

【要約】

【課題】 EMIの影響を低減したデバイスを配置を可能にする。

【解決手段】 2次元型光導波路により構成される光伝送層と電気配線層が積層されており、前記電気配線層上に設けられた電子デバイスと前記光伝送層とのO/E変換、あるいはE/O変換の少なくとも一方が球状デバイスを用いて行われることを特徴とする光電融合配線基板。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000001007]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都大田区下丸子3丁目30番2号

氏 名 キヤノン株式会社